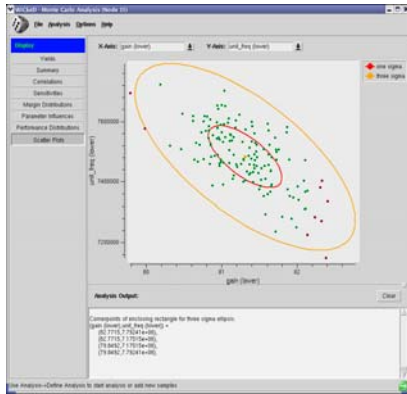


Design for Yield mit WiCkeD / Schaltungsanalyse und -Optimierung unter Yield-Berücksichtigung

Matthias Sylvester – Muneda
Raum Venedig 14.00 Uhr

Noch vor wenigen Jahren reichten selbst bei Analogdesigns oft Cornersimulationen aus, um Schaltungen mit hohem Yield zu erzeugen. Mit zunehmender Miniaturisierung der Prozesse spielen Phänomene, die früher ignoriert werden konnten, eine große Rolle. Insbesondere lokale Prozeßschwankungen (Mismatch) wirken sich umso stärker aus, je kleiner die Prozesse werden. Diese lassen sich nur mit statistischen Methoden überprüfen.



Macht es Sinn, Analogblöcke auf Ihre Zuverlässigkeit zu untersuchen, wo doch meist viel mehr digitale Elemente auf einem Chip sind?

Auf einem SoC (System-on-Chip) sind heute üblicherweise ca. 10% analoge Transistoren und 90% digital, in der Fläche ändert sich das Verhältnis auf 30% : 70%, aber bei den Ursachen für Redesigns ist das Verhältnis 50% : 50%. Es lohnt sich also, Analogschaltungen auf ihre Zuverlässigkeit hin genauer zu untersuchen.

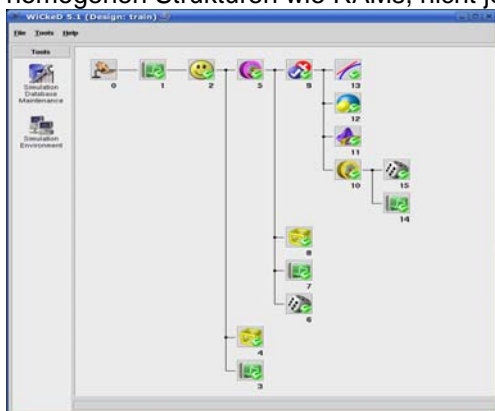
Eine Schaltung wird dann als zuverlässig erachtet, wenn die Wahrscheinlichkeit sehr hoch ist, daß diese Schaltung bei realen Prozeßschwankungen (global und lokal) sowie über den vollen Bereich der Umgebungsbedingungen (z.B. Temperatur und VDD) die

Spezifikationen erfüllt. Oft wird ein 3-Sigma-Design als hinreichend zuverlässig betrachtet, d.h. das Design erfüllt auf dem Silizium mit einer Wahrscheinlichkeit von 99,9% die Spezifikationen.

Kleine Prozeßstrukturen erlauben auch, eine wesentlich größere Anzahl von Schaltungen auf einem Chip unterzubringen. Oft werden beispielsweise 1000 oder sogar 10000 Senseamps in Speichern benötigt. Bei einem 3-Sigma-Design ist der erzielbare parametrische Yield (Prozentsatz guter Chips in der Produktion) bei 1000 Senseamps bei ca. 36%, bei 10000 Senseamps sogar bei nur 45ppm. Eine Erhöhung der Wahrscheinlichkeit auf 99,997% (4-Sigma-Design) für einen Senseamp resultiert bei 10000 Senseamps in einem Yield von 74%. Erst bei 5-Sigma-Designs oder gar 6-Sigma-Designs ist der Yield zufriedenstellend. Wollte man so ein Design mit Monte-Carlo-Methoden verifizieren, würde man für eine Corner bei 3-Sigma mindestens 3000 Simulationen benötigen, 4-Sigma benötigen 100000 Simulation und 6-Sigma liegen bei 3000000000 Simulationen.



Bislang gab es keine wirklich gute und schnelle Möglichkeit außerhalb von Redesigns, den Yield frühzeitig vorherzusagen. Schlechte Yields versuchte man durch Prozeßtuning in den Griff zu bekommen, aber wenn das funktioniert, dann höchstens bei homogenen Strukturen wie RAMs, nicht jedoch bei SoC's.



In diesem Vortrag werden kurz die Grundlagen vorgestellt, mit denen MunEDA's Toolset WiCkeD in der Lage ist, den parametrischen Yield einer Schaltung schon nach dem Schematic Entry (!) zu analysieren und zuverlässig vorherzusagen. Darüber hinaus ist WiCkeD in der Lage, die Designparameter (z.B. Transistorlängen und -weiten) der Schaltungen automatisch zu optimieren. Neben den Grundlagen gibt es auch einen kurzen Einblick in das Tool selbst. Eine detaillierte Tooldemo ist an unserem Stand möglich.

WiCkeD ist intuitiv bedienbar und kann sowohl aus dem Cadence ADE[®] als auch im Standalonemode auf Basis der Netzliste betrieben werden. Derzeit werden die Spice-Simulatoren Spectre[®], Eldo[®], Hspice[®] sowie Titan[®] unterstützt. WiCkeD läuft auf SUN[®]

und auf Linux. WiCkeD wird normalerweise über ein GUI bedient, kann aber auch mit Skripten betrieben werden.

Laut Aussage von Designern kann die Optimierungsphase eines Analogmoduls von typischen 4 - 12 Wochen oft auf 1 – 5 Tage reduziert werden.

Programm

CAD-Systeme für Schaltungs- und Systementwurf; Anwendungen

- **Guido Schreiner** - MathWorks
The MathWorks Solution: How to Connect Communications and RF Engineering Teams
- **Walter Hartong** - Cadence Design Systems
Die neuen Zeiten im Analog-Design - Virtuoso 61
- **Guido Clemens** – Mentor Graphics
Next Generation Mixed-Signal Verification Environment
- **Uwe Trautner** – Synopsys
Discovery AMS: Analog and Digital Mixed-Signal Verification
- **Devin Crawford** - Ansoft Corp.
Meeting Design Challenges for System in Package
- **Peter Kaiser** - EDA Solutions / TANNER
Tools im Mixed Signal ASIC Design Flow von Tanner ED
- **Bernhard Fluche** – FEMLAB
Computergestützte Simulation elektronischer Bauelemente
- **Irina Munteanu** – Computer Simulation Technology
3D Feldsimulation mit CST MICROWAVE STUDIO für Signal Integrity und EMV
- **Reinhard Kauert** – ZMD
Erfüllung von EMV-Spezifikationen in Automotive-ASICs
- **Eckart Rzittka** – ZMD
EMV-Analyse auf IC-Level

Methodik, schaltungsorientierte CAD-Tools, Modellierung

- **Christoph Grimm** – TU Wien
Top-down Refinement of Analog/Mixed-Signal Systems
- **Reimund Wittmann** – IP-Gen
1STONE - Ausführbare Entwurfsablaufbeschreibungen für einen sicheren und effizienten Entwurfsablauf
- **Ralf Sommer** – IMMS gGmbH / TU Ilmenau
Symbolische Approximationsverfahren zur automatisierten Modellgenerierung linearer und nichtlinearer Systeme
- **Roland Jancke** – Fraunhofer EAS
Eine Charakterisierungs- und Modellierungsumgebung für den Schaltungsentwurf
- **Thomas Markwirth** – Fraunhofer EAS
Verhaltensmodellierung leistungselektronischer Mixed-Signal-ICs für die mechatronische Systemsimulation

- **Matthias Sylvester** – Muned
Design for Yield mit WiCkED / Schaltungsanalyse und -Optimierung unter Yield-Berücksichtigung
- **Udo Sobe** – ZMD AG
Design Centering for Robust and Reliable Analog Design at Automotive Level
- **Hannes Toepfer** – IMMS Ilmenau
Charakterisierung, Optimierung und PEEC-Modellierung für einen Signalübertragungsabschnitt in Multi-Chip-Modulen

Schaltungs- und Systementwurf, Sensorik, Test

- **Rüdiger Malsch** – Asic-Design
Schaltnetzteile, Primärregelung ohne Optokoppler
- **Achim Nahler** – NXP Semiconductors GmbH
Automated System Tests for Embedded Ultra-Low Power NXP WLAN
- **Gerhard Rödiger** – DMOS
FlexRay Electrical Physical Layer- Schaltkreise für Automotive
- **Guido Jacobasch** – ZMD AG
ADC Offset Reduction Design for a 900 MHz ZigBee Receiver
- **Mario Ander** – TU Dresden
Design and Implementation of a high speed LVDS transmitter and receiver
- **Peter Teichmann** – IMMS Ilmenau
Ein integrierter FSK-Demodulator mit Built-In Self-Calibration für ISM-Empfänger-ICs
- **Stefan Schubert** – Productivity Engineering Gesellschaft für IC Design
Entwurf eines kapazitiven Sensorsignalauswertesystems aus 3 ASSPs für 10.000.000 Sensoren
- **Stefan Brenner** - Productivity Engineering Gesellschaft für IC Design
Synchrone Erfassung kapazitiver Sensorsignale am Beispiel eines Fingerabdruckscanners
- **Stefan Getzlaff** – ZMD AG
Multi Input Capacitance Measurement Device
- **Matthias Landwehr** – Fraunhofer IPMS
Entwurf eines auf Verzögerungsgliedern basierenden CMOS-Temperatursensors
- **Frank Ellinger** – TU Dresden
Opportunities and Challenges of Radio Frequency Integrated Circuits for Wireless Communication